



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 02196457 A

(43) Date of publication of application: 03 . 08 . 90

(51) Int. Cl

**H01L 27/04**

(21) Application number: 01016702

(71) Applicant: NEC CORP

(22) Date of filing: 25 . 01 . 89

(72) Inventor: OOISHI ATSUYA

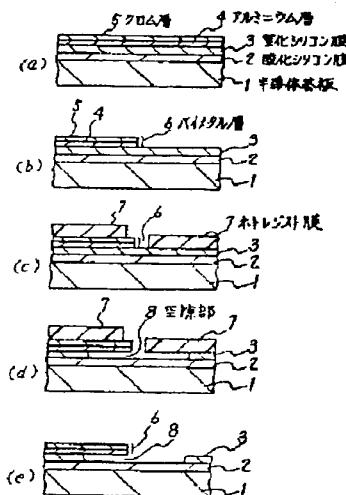
**(54) SEMICONDUCTOR INTEGRATED CIRCUIT****(57) Abstract:**

**PURPOSE:** To enable non-electrical temperature monitoring, to reduce an area required for a sensor region, and to enable monitoring of a local temperature of a fine section and a temperature distribution through a plurality of sensors by forming a bimetal layer having a movable section on a semiconductor chip.

**CONSTITUTION:** Provided are; first and second insulating films 2, 3 which are laminated successively on a semiconductor substrate 1, two metal layers 4, 5 which are successively laminated on a part of the second insulating film 3 and have different thermal expansion coefficient, and a void section 8 which is made by removing a part of the second insulating film 3 below the metal layer 4, 5 to make a part of the metal layers 4, 5 movable. For example, a silicon oxide film 2 and a silicon nitride film 3 are successively deposited on the semiconductor substrate 1, and an aluminum layer 4 and a chromium layer 5 are laminated successively thereon. Then, the chromium layer 5 and the aluminum layer 4 are selectively etched to form a bimetal layer 6. The nitride silicon film 3 is selectively etched and removed and the void section 8 is formed by hollowing about half

of a lower side of the bimetal layer 6.

COPYRIGHT: (C)1990,JPO&amp;Japio



## ⑫ 公開特許公報 (A) 平2-196457

⑮ Int.Cl.  
H 01 L 27/04識別記号 庁内整理番号  
7514-5F

⑯ 公開 平成2年(1990)8月3日

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体集積回路

⑮ 特願 平1-16702  
⑯ 出願 平1(1989)1月25日⑰ 発明者 大石篤哉 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑯ 出願人 日本電気株式会社 東京都港区芝5丁目7番1号  
⑰ 代理人 弁理士 内原晋

## 明細書

## 発明の名称

半導体集積回路

## 特許請求の範囲

(1) 半導体基板上に順次積層して設けた第1及び第2の絶縁膜と、前記第2の絶縁膜上的一部分に順次積層して設けた互に熱膨張率の異なる2層の金属層と、前記金属層の下面の一部の前記第2の絶縁膜を除去して前記金属層の一部を可動にする空隙部とを有することを特徴とする半導体集積回路。

## 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は半導体集積回路に関し、特に温度センサを有する半導体集積回路に関するもの。

## 〔従来の技術〕

従来の半導体集積回路は、半導体基板上に形成したダイオードの温度-電流特性を利用するもの

であった。

## 〔発明が解決しようとする課題〕

上述した従来の半導体集積回路は、ダイオードの電気特性を利用して温度を測定するため、電気信号を半導体集積回路の外部へ取り出すための回路と、専用のボンディングパッドを要し、さらには、パッケージにの外部リードの内の複数のリードを前記回路の接続のために占有してしまい外部リードの利用率が悪くなるという欠点がある。

## 〔課題を解決するための手段〕

本発明の半導体集積回路は、半導体基板上に順次積層して設けた第1及び第2の絶縁膜と、前記第2の絶縁膜上的一部分に順次積層して設けた互に熱膨張率の異なる2層の金属層と、前記金属層の下面の一部の前記第2の絶縁膜を除去して前記金属層の一部を可動にする空隙部とを有する。

## 〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図(a)～(e)は本発明の一実施例の製

造方法を説明するための工程順に示した半導体チップの断面図である。

まず、第1図(a)に示すように、半導体基板1の上に酸化シリコン膜2及び塗化シリコン膜3を順次堆積して設け、塗化シリコン膜3の上に熱膨張率の大きい金属層として膜厚 $1\mu m$ のアルミニウム層4及び熱膨張の小さい金属層として膜厚 $1\mu m$ のクロム層5を順次積層して設ける。

次に、第1図(b)に示すように、クロム層5及びアルミニウム層4を選択的に順次エッチングしてバイメタル層6を形成する。

次に、第1図(c)に示すように、バイメタル層6を含む表面にホトレジスト膜7を形成してパターニングし、バイメタル層6の1辺の周縁段差部近傍を開孔する。

次に、第1図(d)に示すように、ホトレジスト膜7をマスクとして等方性エッチング法により塗化シリコン膜3をエッチング除去し、バイメタル層6の下面の約半分をえぐり取った空隙部8を形成して $20\mu m \times 50\mu m$ 程度の面積のバイメ

タル層6の可動部分を設ける。このとき、酸化シリコン膜2はエッティングストッパとして働く。

次に、第1図(e)に示すように、ホトレジスト膜7を除去して半導体集積回路を構成する。

第2図は本発明の一実施例の構造を説明するための半導体チップの斜視図である。

図に示すように、素子領域を形成した半導体チップ9の上に設けたバイメタル層6と、バイメタル層6の一部の下面に設けた空隙部8を有している。

第3図は本発明の半導体集積回路の動作を説明するための半導体チップの断面図である。

図に示すように、アルミニウム層4とクロム層5の熱膨張率が異なるため温度変化によりバイメタル層6の可動部分の角度θが変化する。バイメタル層6の上面に光を当て入射光10と反射光11の角度θを測定することにより、半導体集積回路の温度変化を知ることができる。即ち、あらかじめ既知の温度変化に対する角度θの変化の関係を受光器への反射光の位置により測定しておき、

実動時の半導体集積回路の温度変化を知ることができる。

#### 〔発明の効果〕

以上説明したように本発明は、半導体チップ上に可動部分を有するバイメタル層を形成することにより、非電気的な温度モニタが可能により、センサ領域として必要な面積が縮小されるため、微小な部分の局所的温度や複数のセンサによる温度分布のモニタを可能にするという効果がある。

#### 図面の簡単な説明

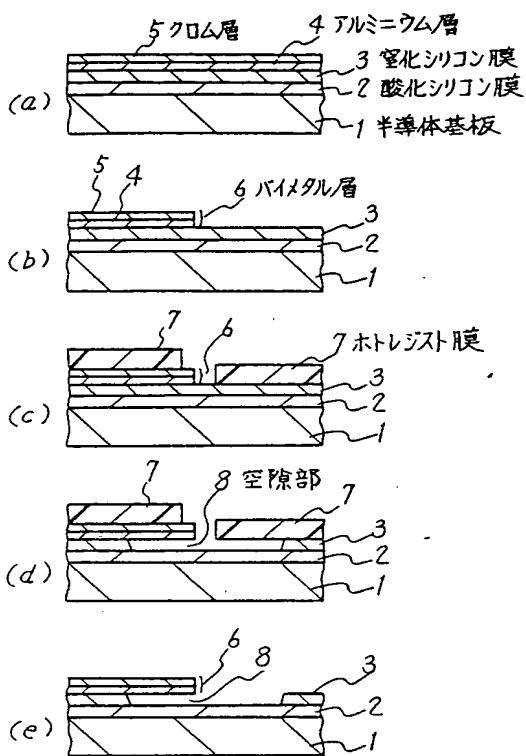
第1図(a)～(e)は本発明の一実施例の製造方法を説明するための工程順に示した半導体チップの断面図、第2図は本発明の一実施例の構造を説明するための半導体チップの斜視図、第3図は本発明の半導体集積回路の動作を説明するための半導体チップの断面図である。

1…半導体基板、2…酸化シリコン膜、3…塗化シリコン膜、4…アルミニウム層、…クロム層、6…バイメタル層、7…ホトレジスト膜、8

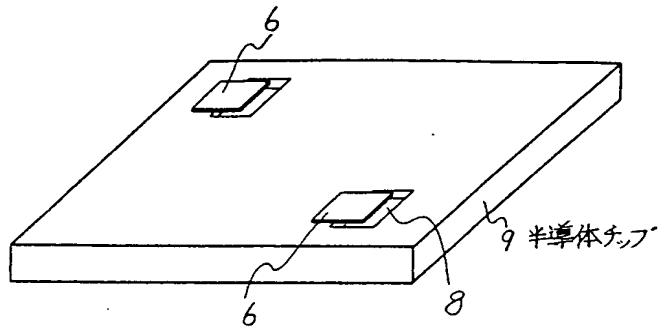
…空隙部、9…半導体チップ、10…入射光、

11…反射光。

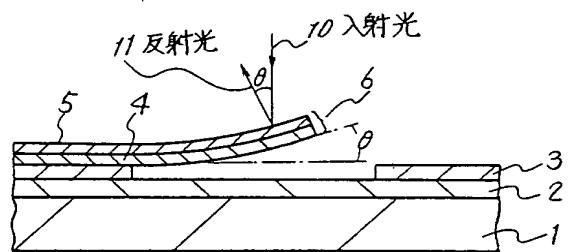
代理人 弁理士 内原晋



第1図



第2図



第3図

5

**Title of Invention**

Semiconductor Integrated Circuit

**Claim**

10     A semiconductor integrated circuit comprising:  
          first and second insulating films which are successively laminated  
          on a semiconductor substrate;  
          two metal layers which are successively laminated on a part of the  
          second insulating film and have different thermal expansion  
15     rate; and  
          a void section which is made by removing a part of the second  
          insulating film below the metal layer.

**Detailed Description of the Invention**

20     【Technical Field】

The present invention relates to a semiconductor integrated circuit and, in particular, to a semiconductor integrated circuit having a thermal sensor.

25     【Background of the Invention】

A conventional semiconductor integrated circuit with a thermal sensor has been used temperature-current property of a diode formed on a semiconductor substrate.

30     【Problem to Be Solved by the Invention】

Since the above-mentioned conventional semiconductor integrated circuit measures the temperature by using the temperature-current property of a diode, it is necessary to have a circuit for outputting a electric signal from the semiconductor integrated circuit and a special bonding pad. In addition, a plurality of leads in outer leads of the package are occupied to connect the circuit, so that it has a defect that the utilization rate of the outer leads becomes worse.

### **【Way to Solve the Problem】**

A semiconductor integrated circuit according to the present invention includes first and second insulating films which are successively laminated on a semiconductor substrate, two metal layers which are successively laminated on a part of the second insulating film and have different thermal expansion rate, and a void section which is made by removing a part of the second insulating film below the metal layer.

10

### **【Detailed Description of the Preferred Embodiment】**

Preferred embodiments according to the present invention are explained with reference to the accompanying drawings.

Figs. 1(a)-1(e) are sectional views of a semiconductor chip explaining a manufacturing method according to the present invention in order of the manufacturing process.

At first, as shown in Fig. 1(a), a silicon oxide film 2 and a silicon nitride film 3 are laminated successively on a semiconductor substrate 1. Then, an aluminum layer 4 as a metal layer with a high thermal expansion rate having a thickness of 1  $\mu\text{m}$  and a chromium layer 5 as a metal layer with a low thermal expansion rate having a thickness of 1  $\mu\text{m}$  are laminated successively on the silicon nitride film 3.

Then, as shown in Fig. 1(b), the chromium layer 5 and the aluminum layer 4 are selectively etched successively to form a bimetal layer 6.

Then, as shown in Fig. 1(c), a photoresist layer 7 is formed on the surface including the bimetal layer 6, a pattern is formed on the photoresist layer 7, and a portion near an edge side of the bimetal layer 6 having a difference in level is made a hole.

Then, as shown in Fig. 1(d), the silicon nitride film 3 is etched and removed by using an isotropic etching method with the photoresist layer 7 as a mask to form a void section 8 by hollowing about half of a lower side of the bimetal layer 6. As a result, a movable portion having an area of about 20  $\mu\text{m}$  by 50  $\mu\text{m}$  is formed on the bimetal layer 6. On this occasion, the silicon oxide film 2 acts as an etching stopper.

Then, as shown in Fig. 1(e), a semiconductor integrated circuit is formed by removing the photoresist layer 7.

Fig. 2 is a perspective view of a semiconductor chip explaining construction of an embodiment according to the present invention.

As show in the figure, the semiconductor chip 9 has the construction having bimetal layer 6 formed on the semiconductor chip 9 on which a device area is formed and void section 8 arranged under a portion of the bimetal layer 6.

Fig. 3 is a sectional view of a semiconductor chip for explaining the movement of a semiconductor integrated circuit according to the present invention.

As show in the figure, since the thermal expansion ratio of the aluminum layer 4 is different from that of the chromium layer 5, the angle  $\theta$  of the movable portion of the bimetal layer 6 varies in response to the change in temperature. Projecting an incident light 10 to the upper surface of the bimetal layer 6 to measure the angle  $\theta$  between the incident light 10 and the reflected light 11, you can find the change in temperature of the semiconductor integrated circuit. Accordingly, by measuring the change in the angle  $\theta$  with respect to the known change in temperature by means of the detected position in advance, the change in temperature of the semiconductor integrated circuit while operating can be found.

#### 【Effect of the Invention】

As described above, the present invention has effects to enable non-electric temperature monitoring, to reduce an area required for a sensor region, and to enable monitoring of a local temperature of a fine section and a temperature distribution through a plurality of sensors by forming a bimetal layer having a movable section on a semiconductor chip.

#### 30 Brief Description of the Drawings

Figs. 1(a)-1(e) are sectional views of a semiconductor chip explaining a manufacturing method according to the present invention in order of the manufacturing process.

Fig. 2 is a perspective view of a semiconductor chip explaining construction of an embodiment according to the present invention.

Fig. 3 is a sectional view of a semiconductor chip for explaining the movement of a semiconductor integrated circuit according to the

present invention.

- 1: a semiconductor substrate
- 2: a silicon oxide film
- 5   3: a silicon nitride film
- 4: an aluminum layer
- 5: a chromium layer
- 6: a bimetal layer
- 7: a photoresist layer
- 10  8: and void section
- 9: a semiconductor chip
- 10: an incident light
- 11: a reflected light